

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)E 本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-276153

(43)公開日 平成5年(1993)10月22日

(51)IntCl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/08	D	7928-5K		
H 0 4 J 3/06	A	8843-5K		
H 0 4 L 7/10		7928-5K		

審査請求 未請求 請求項の数2(全 7 頁)

(21)出願番号 特願平3-308635

(22)出願日 平成3年(1991)11月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 浜田 樹欣

東京都港区芝五丁目7番1号日本電気株式会社内

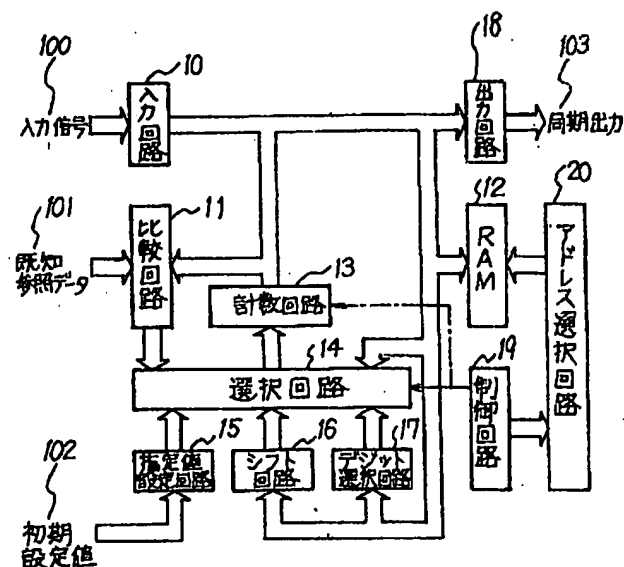
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 フレーム同期回路

(57)【要約】 (修正有)

【構成】同期信号を選択する入力手段10と、フレーム同期ビットや、同期保護判定計数値や、同期動作の記憶手段12と、同期ビットの一致・不一致回数の計数手段13と、抽出したフレーム・ワードと記憶されたフレームワードとの一致を判定する比較手段11と、計数手段13の初期値を入力する指定値設定手段15と、加算、減算を行うシフト手段16と、データの一部を書き換えるデジット選択手段17と、12, 15, 16, 17の各手段からのデータを選び計数手段13に送る選択手段14と、フレーム同期動作手順を連続的に実現する制御手段19と、記憶手段13の記憶箇所を決めるアドレス選択手段20とを備えている。

【効果】複数のフレーム同期の実現にも最小限のハードの増加でよく、パラメータの変更、即ちデータ信号のフレーム同期ビットの増減、フレーム同期信号および同期の安定条件の変更に対し、初期値や計数値等の条件を変更するだけで対応できる。



【特許請求の範囲】

【請求項1】 フレーム同期信号を重畳したデジタル信号データから同期信号を選択する入力手段と、フレーム同期ビットや、同期の安定動作を判定する同期保護の判定計数値や、同期動作に必要な一時的な動作状態を一時記憶する記憶手段と、前記入力手段からの同期ビットの取り込み回数やフレームワードの一致・不一致計数回数を計数する計数手段と、入力データから抽出したフレーム・ワードと外部より入力した既知のフレーム・ワード又は前記記憶手段に記憶されたフレームワードとの一致を判定する比較手段と、前記計数手段の初期値を外部データに従って入力する指定値設定手段と、前記計数手段の加算または減算処理を行うデータのシフト手段と、記憶したデータの一部だけを書き換えるデジット選択手段と、該指定値設定手段、該シフト手段、該デジット選択手段、該記憶手段からのデータを選び前記計数手段にデータを送る選択手段と、フレーム同期動作手順を時間連続的に実現する制御手段と、その手順に呼応して前記記憶手段の記憶箇所を決めるアドレス選択手段とを備えていることを特徴とするフレーム同期回路。

【請求項2】 前記記憶手段がRAMで構成され、フレーム同期ビットと、内部ステータス監視ビットである同期判定ビット、フレーム取り込み完了判定ビット、後方保護値判定ビット、前方保護値判定ビット、ワード検出結果の一致判定ビットと、フレームの一致および不一致の判定計数値とを一時記憶することを特徴とする請求項1記載のフレーム同期回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフレーム同期回路に関し、特にデジタルデータ伝送のフレーム同期信号の種類、同期判定条件、処理すべきフレームの数等が異っても、一種類の基本構成の回路にて処理できるフレーム同期回路に関する。

【0002】

【従来の技術】 一般にデジタルデータの伝送装置間の信号伝送は、時系列の信号処理を行うための繰り返しの処理単位としてフレームを定義し、送信側では、このフレームの中に伝送すべき複数個のデータ列を収容して送っている。受信側では、これらのフレームの中のデータ列を選び出すために、フレーム周期のある決まったタイムスロット（例えばフレームの先頭）に重畳伝送されているフレーム同期信号を抽出し、このタイミングの同期を確立した後に必要な信号処理を行って来た。昨今、この種のデジタル信号処理においては、基本フレームの他にマルチフレームとして幾種類ものフレーム同期を同時に確立する方式や、且つLSIに適したフレーム同期方式が望まれており、大規模LSIに複数のフレーム同期回路を搭載する方法がとられてきた。

【0003】 従来、この種のフレーム同期回路は図1の

のブロック図に示すように、フレーム同期ワードを含む時間シーケンシャルな入力信号500と、入力信号から同期ワードを検出するワード検出回路50と、あらかじめ定められている指定同期ワードを出力するワード発生回路52と、この指定同期ワードと入力から抽出された同期ワードと比較し、合否を判定する比較回路51と、同期ワードが合致を続けた場合にあらかじめ定められたフレーム同期ワードの合致回数に達するかどうかを計数する、いわゆる後方保護の一致計数回路54と、あらかじめ定められたフレーム同期ワードの不一致回数を計数する、いわゆる前方保護の不一致計数回路55と、最終的に一致および不一致計数回路54、55の計数結果を入力し、所定の一致又は不一致の判定条件であるかどうかを判定する同期判定回路57と、同期外れの場合に符号誤りなどにより同期復帰動作をくり返すハンチングを防止するハンチング制御回路58と、フレーム同期ワード発生回路52の基本タイミングを制御するタイミング計数回路53とで構成される。

【0004】 次に従来例の動作を説明する。

【0005】 入力信号500からワード検出部50でフレームワードを抽出し、比較回路51に入力する。比較回路51のもう一つの入力には、フレーム同期回路の基本タイミングを生成するタイミング計数回路53で駆動し、ワード発生回路52で作ったフレームワードを入力している。この比較回路51の判定信号はフレームの一致・不一致を計数する一致計数回路54と不一致計数回路55に入力している。これらの計数結果で同期判定回路57から同期判定信号を出力し、ハンチング回路58でタイミング計数回路53の計数を停止、継続の制御いわゆるハンチング制御を行っている。このようなフレーム同期回路は、一つの基本のフレーム同期ワードと、あらかじめ定められた一つの一致不一致の判定条件と、定められたフレームの数に対して、それぞれこの回路構成が必要となる。したがって前述の条件が変わったり、他のマルチフレーム同期がある場合には、それぞれの場合に対応した数だけこの回路構成を必要としていた。

【0006】

【発明が解決しようとする課題】 この従来のフレーム同期回路は、フレーム同期の基本計数回路とフレームワードの一致、不一致の計数回路、フレームワードの比較判定回路と同期判定回路がそれぞれ独立に必要なので、数多くのフレーム同期を同時に実現するためには、ハード規模が増大する欠点がある。これを回避するため、大規模LSI等で実現してきたが、近年多様化する信号処理に従ってフレーム同期信号の種類、条件、数等はその時によって異なるために、その度にLSIを開発する事は非常に困難になっている。

【0007】 本発明の目的はフレーム同期信号の種類、条件、数が変わっても一つの数値計数回路と一つの比較判定回路と記憶手段で時間シーケンシャルに同期判定する

行うフレーム同期回路を提供することにある。

【0008】

【課題を解決するための手段】本発明のフレーム同期回路はフレーム同期信号を重畳したデジタル信号データから同期信号を選択する入力手段と、フレーム同期ビットや、同期の安定動作を判定する同期保護の判定計数値や、同期動作に必要な一時的な動作状態を一時記憶する記憶手段と、前記入力手段からの同期ビットの取り込み回数やフレームワードの一致・不一致計数回数を計数する計数手段と、入力データから抽出したフレーム・ワードと外部より入力した既知のフレーム・ワード又は前記記憶手段に記憶されたフレームワードとの一致を判定する比較手段と、前記計数手段の初期値を外部データに従って入力する指定値設定手段と、前記計数手段の加算または減算処理を行うデータのシフト手段と、記憶したデータの一部だけを書き換えるデジット選択手段と、該指定値設定手段、該シフト手段、該デジット選択手段、該記憶手段からのデータを選び前記計数手段にデータを送る選択手段と、フレーム同期動作手順を時間連続的に実現する制御手段と、その手順に呼応して前記記憶手段の記憶箇所を決めるアドレス選択手段とを備えている。

【0009】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の一実施例のブロック図、図2は本実施例の制御回路から制御される論理処理を示すシーケンスフローの流れ図、図3は本実施例の処理時間の関係を示すタイムチャート、図4は本実施例のRAM12への記憶内容を説明する説明図である。まず図1の実施例はフレームビット（以下Fビットという）を順次サンプリングし取り込む入力回路10、あらかじめ所定の基準フレームワードがあれば、この既知参照データ101と入力Fビットと比較する比較回路11、なお後述するRAM12に新規に格納されたフレームワードがあればこれを読み出して入力Fビットと比較される。次に、基準フレームワードおよび後述するフレーム同期動作手順の過程における各ステータス情報の記憶、およびフレーム取り込み回数の計数値(C)、フレームワードの一致判定の計数値(Cy)、フレームワードの不一致判定の計数値(Cn)等の判定条件を記憶しているRAM12、各プロセスの動作手順における計数動作を行う計数回路13、計数回路13の初期値等を外部からの初期設定値102により設定する指定値設定回路15、計数回路13の加算減算処理を行うシフト回路16、データの一部のみを書き換えるデジット選択回路17、これらの指定設定回路15、シフト回路16、デジット選択回路17、RAM12のデータを選び計数回路13に送る選択回路14、各プロセスの動作を時間シーケンシャルに行うように制御する制御回路19、この制御信号によりRAM12のアドレス選択を行うアドレス選択回路20、

AM12の情報等を外部に取り出す出力回路18から構成される。

【0010】次に制御回路19により制御されるシーケンスフローを図2および図4のRAM12の記憶内容も参照して説明する。ここでは図2のステップS1の左側のフローとなる同期状態から同期外れの状態に移る例を説明する。入力回路10で入力データのFビットをサンプルし取り込む(ステップS2)。この時、計数回路13には前フレームまでのFビット列を格納しているRAM12から所定のアドレス(aaaaH)のFビット

(図2ではF1~F8の8ビット構成)の格納データをシフト回路16を介してFビット列を1ビットシフトして呼出している。前述のサンプルした新たなFビットを前記Fビット列の最後尾につけ、これを新たなFビット列としてRAM12の所定のアドレス(aaaaH)に格納する。次にFビットの取り込み回数の計数値(C)をRAM12所定のアドレス(ccccH)から計数回路13に取り込み、1を加算して同じアドレスに再度格納する(ステップS3)。この時、あらかじめ分かっている取り込み回数と実際の取り込み回数の計数値(C)と比較し、もし取り込み回数が完了していない場合には、次のフレーム同期シーケンスに移り、完了した場合はワード検出シーケンスに移る(ステップS4)。すなわち、Fビット列を前述と同様にアドレス(aaaaH)から計数回路13に取り込む。フレーム同期の期待値は既知の基準フレームワードである参照データ101として外部より比較回路11に入力し前記計数回路13の値と比較する。その比較値が一致した場合は次のフレームシーケンスに移り、不一致の場合はRAM12の所定のアドレス(eeeeH)に格納した不一致判定計数値(Cn)に1を加算する(ステップS6、S7)。この(Cn)が同期の安定条件で決まる計数値Nを越えないときは、(Cn)値を前記アドレス(eeeeH)に再格納し次のフレーム同期シーケンスに移る。(Cn)が(N)を越えた場合には、同期外れと判定し、RAM12の所定のアドレス(bbbbH)の指定ビット(S1)に「0」を書き込む(1:同期、0:非同期)。更に、アドレス(ddddH)の(Cy)値に「0」を書き込み一致判定計数値をリセットする(ステップS8、S9)。

【0011】ここで図4におけるRAM12のアドレスbbbbHの内部ステータス監視ビットを説明する。S1は同期判定ビット、S2はFビット取り込み完了判定ビット、S3はワード検出一致計数値(Cy)が同期安定条件で決まる計数値(Y:後方保護値)を越えたかの判定ビット、S4はワード検出不一致計数値(Cn)が計数値(N:前方保護値)を越えたかの判定ビット、S5はワード検出結果の一致判定ビット、S6~S8はその他のフレーム同期と直接関係ないビットである。これ

スの該当１ビットをデジット選択回路１７にて選び、選択回路１４で該当ビットだけをメモリ内容の書換えを行うように動作する。したがって、フレーム同期の状態監視は、これらの監視ビットを読み出す事で、容易に判定する事が出来る。例えば、同期判定はＳ１を定期的に確認すれば即座に分かり、また信号処理に必要な同期タイミングはフレーム周期毎にＳ１とＳ５を同時に確認する事によって特定する事が出来る。

【００１２】前述したように指定値設定回路１５は、計数回路１４の初期値や計数上の指定値を初期設定入力１０２から入力するためのもので、これにより任意のフレーム長の同期信号や安定条件を自由に変更してＲＡＭ１２に格納できる。制御回路１９は、計数回路１３や選択回路１４等全体の制御を前述のフローにより行うと共に、アドレス選択回路２０を時間シーケンシャルに動作するように制御し、アドレス選択回路２０がＲＡＭ１２へのメモリ・アドレスを指定するように構成している。出力回路１８は、同期結果の出力信号や前述のステータス監視ビット等を外部に出力するものである。以上の処理を図３に示すタイムチャートのように順次繰り返し行う事でフレーム同期を実現できる。また、同期外れ状態から同期復帰過程の処理シーケンスは図２のシーケンス・フローの右側のフローが表しているが、上で説明したと同様なシーケンスで実現できる。

【００１３】

【発明の効果】以上説明したように、本発明によれば、フレーム同期処理を一つの計数手段と、計数値やフレームワード等を一時記憶する記憶手段と、計数値やフレームワードの比較判定手段と、かつフレーム同期を時間シーケンシャル的に連続的に繰り返す制御回路とを備えることにより、複数のフレーム同期を実現する場合にも最小限のハードの増加で実現できる。しかもパラメータの変更即ちデータ信号のフレーム同期ビットの増減、フレ

ーム同期信号の変更、同期の安定条件の変更に対し、初期値や計数値等の条件を変更するだけでフレキシブルに対応できる効果がある。

【図面の簡単な説明】

【図１】本発明の一実施例のフレーム同期回路のブロック図である。

【図２】本実施例のフレーム同期回路のシーケンスフロー図である。

【図３】本実施例の処理時間の関係を示すタイムチャートである。

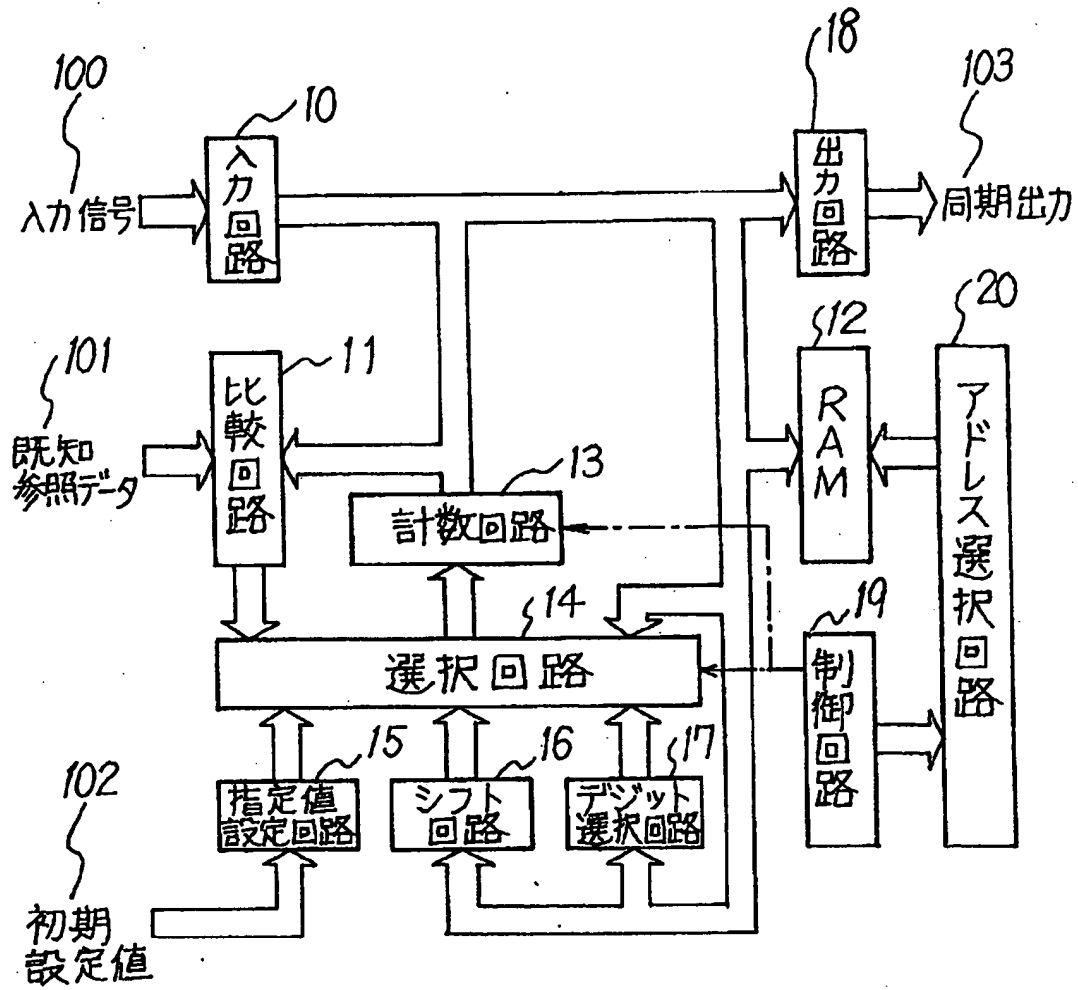
【図４】本実施例のＲＡＭの記憶内容を示す説明図である。

【図５】従来のフレーム同期回路のブロック図である。

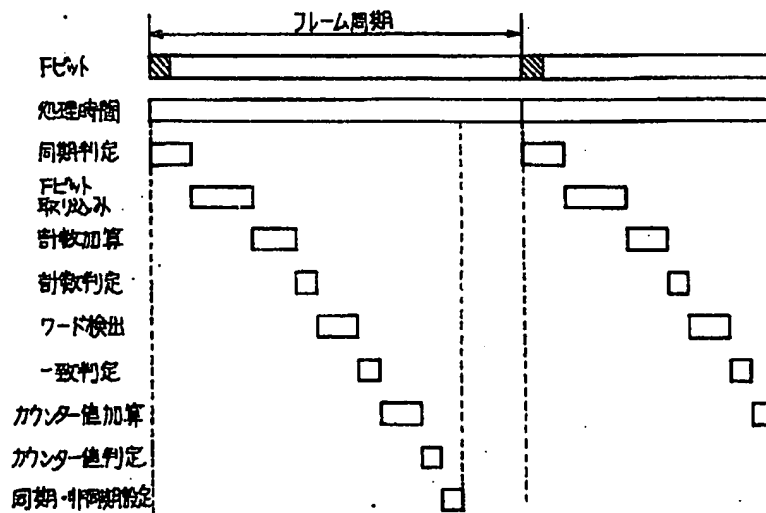
【符号の説明】

１０	入力回路
１１	比較回路
１２	ＲＡＭ
１３	計数回路
１４	選択回路
１５	指定値設定回路
１６	シフト回路
１７	デジット選択回路
１８	出力回路
１９	制御回路
２０	アドレス選択回路
５０	ワード検出回路
５１	比較回路
５２	ワード発生回路
５３	タイミング計数回路
５４	一致計数回路
５５	不一致計数回路
５６	ハンチング制御回路
５７	同期判定回路

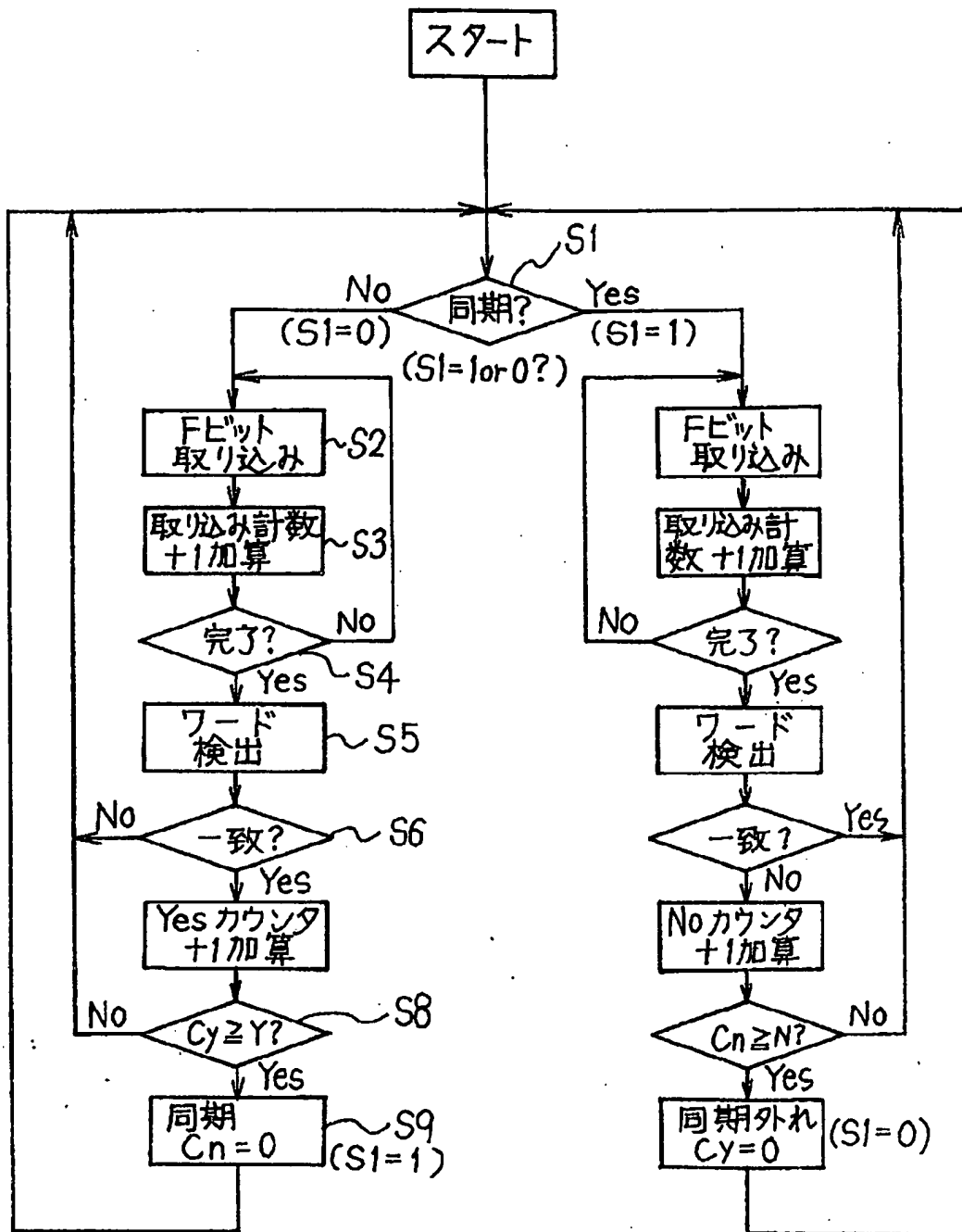
【図1】



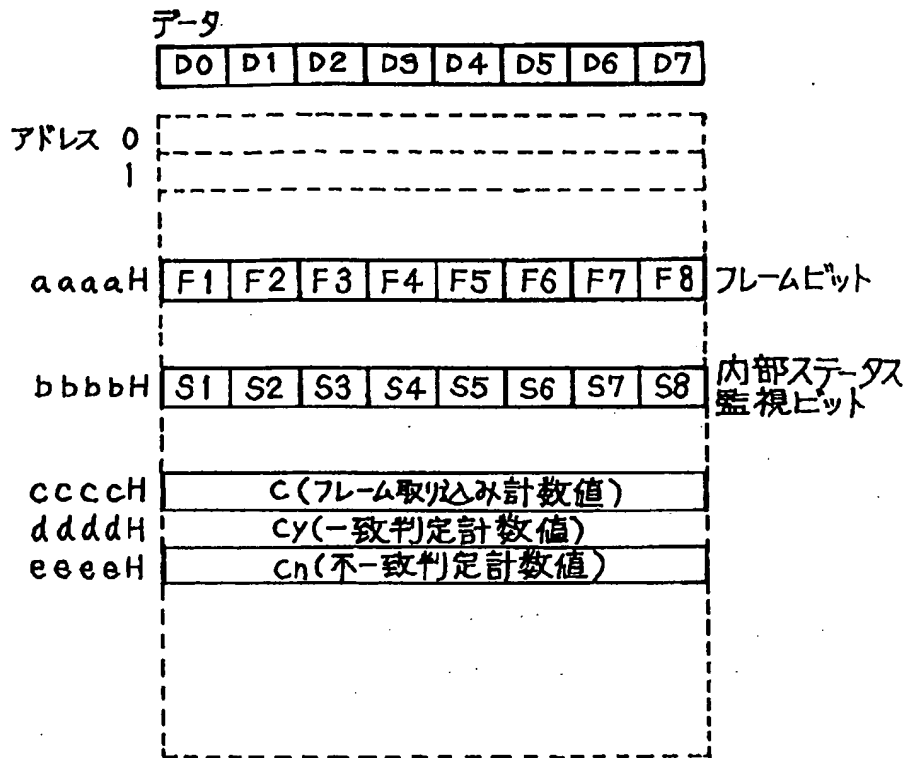
【図3】



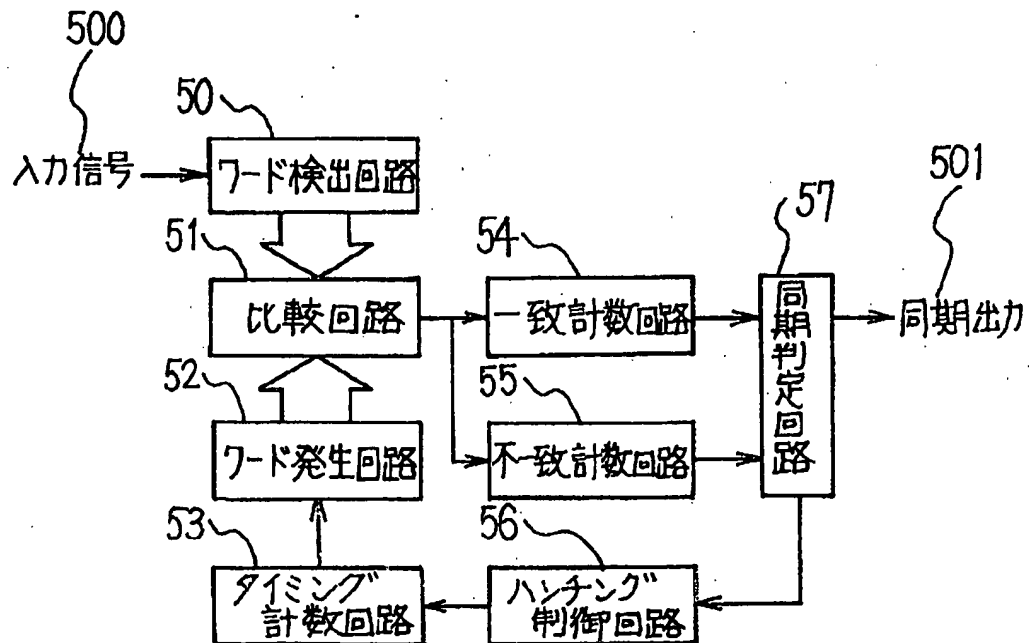
【図2】



【図4】



【図5】



(54) SYNCHRONIZATION HOLD CIRCUIT

(11) 5-276152 (A) (43) 22.10.1993 (19) JP

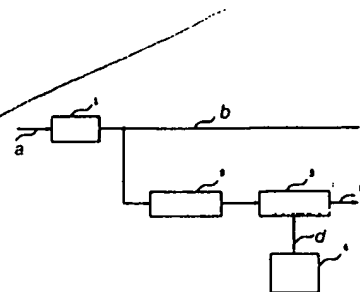
(21) Appl. No. 4-71053 (22) 27.3.1992

(71) NEC CORP (72) MASATOSHI SEKINE

(51) Int. Cl⁵. H04L7/08.H04J3/06

PURPOSE: To stably secure the synchronization holding of the demodulator of a receiving side even if the quality of a radio channel is deteriorated at the time of transmitting a digital signal through the radio channel.

CONSTITUTION: The frame time width of a frame signal outputted from a detector 1 to input a received signal is measured by a frame timing detection circuit 2, and in the case that the frame time width satisfies normal time in succession more than three times, frame synchronization is decided to have been established, and synchronization acquisition processing is finished. Henceforward, the frame signal is generated by a frame timing signal generation circuit 3 driven by a timing signal from a highly stable reference signal generator 4 installed inside.



a: received signal, b: frame signal c: fixed frame timing signal, d: timing signal

(54) FRAME SYNCHRONIZATION CIRCUIT

(11) 5-276153 (A) (43) 22.10.1993 (19) JP

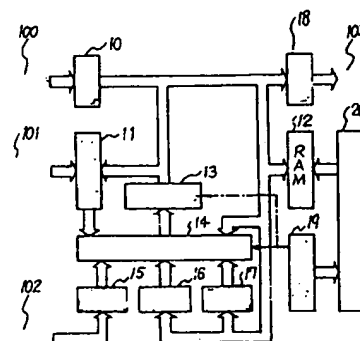
(21) Appl. No. 3-308635 (22) 25.11.1991

(71) NEC CORP (72) TATSUYOSHI HAMADA

(51) Int. Cl.⁸. H04L7/08, H04J3/06, H04L7/10

PURPOSE: To manage the realization of plural synchronizations with the minimum increase of hardware, and to deal with the alteration of a parameter, that is, the increase or the decrease of the frame synchronizing bits of a data signal, and the alteration of the stability condition of a frame synchronizing signal and the synchronization by only altering the condition of an initial value or a count value, etc.

CONSTITUTION: An input means 10 to select a synchronizing signal, the storage means 12 of the frame synchronizing bit, a synchronization protection deciding count value and synchronizing operation, the counting means 13 of the number of times of coincidence non-coincidence of the synchronizing bit, a comparing means 11 to decide the coincidence between an extracted frame word and a stored frame word, a designated value setting means 15 to input the initial value of the counting means 13, a shifting means 16 to execute addition and subtraction, a digit selecting means 17 to re-write a part of data, a selecting means 14 to select the data from each means 12, 15 to 17 and send it to the counting means 13, a control means 19 to realize continuous frame synchronizing operation procedure, and an address selecting means 20 to determine the storage place of the storage means 12 are provided.



16: shift circuit, 18: output circuit, 100: input signal, 101: known reference data, 102: initial set value, 103: synchronized output

(54) DATA TRANSMISSION PROCESSOR

(11) 5-276156 (A) (43) 22.10.1993 (19) JP

(21) Appl. No. 4-70680 (22) 27.3.1992

(71) MITSUBISHI ELECTRIC CORP (72) KAZUTO HONDA

(51) Int. Cl.⁸. H04L12/02, H04L12/56, H04L29/10, H04Q3/76

PURPOSE: To attain the conversion of dial information into the dial information attached with a DTE facility or its reverse conversion by setting a dial switching table beforehand.

CONSTITUTION: Supposing the dial information synthesized with DTE facility information is made synthetic information, a data transmission processor is provided with a dial conversion table 10 to store the dial information and the synthetic information as coordinating them with each other, and the mutual conversion of the dial information and the synthetic information is executed by the protocol handler of a layer 3 by using this dial conversion table 10. Consequently, in the layer of a level higher than the layer 4, the DTE facility information need not be taken into consideration, and in these high-level layers, the DTE facility can be supported without changing the protocol handler.

